

15. 4. 2004

日本国特許庁

JAPAN PATENT OFFICE

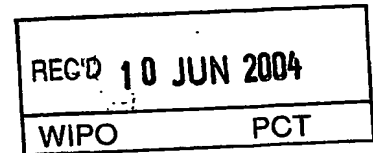
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 4月17日
Date of Application:

出願番号 特願2003-112930
Application Number:
[ST. 10/C]: [JP2003-112930]

出願人 株式会社リコー
Applicant(s):

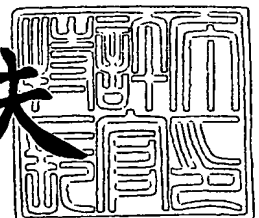


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 5月27日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 189028
【提出日】 平成15年 4月17日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 13/00
【発明の名称】 シリアル通信装置
【請求項の数】 12
【発明者】
 【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内
 【氏名】 藤井 達也
【特許出願人】
 【識別番号】 000006747
 【住所又は居所】 東京都大田区中馬込1丁目3番6号
 【氏名又は名称】 株式会社リコー
【代理人】
 【識別番号】 100086405
 【弁理士】
 【氏名又は名称】 河宮 治
【選任した代理人】
 【識別番号】 100098280
 【弁理士】
 【氏名又は名称】 石野 正弘
【手数料の表示】
 【予納台帳番号】 163028
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【包括委任状番号】 9808860

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 シリアル通信装置

【特許請求の範囲】

【請求項 1】 少なくとも 1 つの第 1 の送受信回路と少なくとも 1 つの第 2 の送受信回路とが伝送路で接続され、該第 1 及び第 2 の各送受信回路間で半二重通信によるシリアル通信を行うシリアル通信装置において、

前記各送受信回路は、

2 値の送信用データ信号に対して所定の信号レベルの間に所定の重畳パルスを重ねさせてシリアルデータ信号を生成して送信する送信回路部と、

該送信回路部から送信されたシリアルデータ信号を受信し、該受信した該シリアルデータ信号に対して前記重畳パルスを抽出して前記送信用データ信号の抽出を行う受信回路部と、

をそれぞれ備えることを特徴とするシリアル通信装置。

【請求項 2】 前記送信回路部は、所定の起点より始まるパルス幅 T_3 の基準パルス信号に、該起点から時間 T_2 が経過した時点で、該基準パルス信号の信号レベルを反転したパルス幅 T_1 の重畳パルスを重ねさせて前記送信用データ信号における 1 ビット分の所定の 2 値のレベルを表すと共に、前記起点から時間 T_2 が経過した時点で、前記重畳パルスがない場合は、前記送信用データ信号における 1 ビット分の他の 2 値のレベルを表し、更に前記パルス幅 T_1 とパルス幅 T_3 及び時間 T_2 が $T_1 < T_2 < T_3$ であつ $(T_1 + T_2) < T_3$ の関係が成り立つように、前記シリアルデータ信号を生成して送信用データ信号を 1 ビットずつ連続して出力するシリアル通信を行うことを特徴とする請求項 1 記載のシリアル通信装置。

【請求項 3】 前記第 1 の送受信回路における送信回路部は、

前記送信用データ信号に同期したクロック信号 CLK が入力され、該クロック信号 CLK を時間 T_2 だけ遅延させて出力する T_2 遅延回路と、

該 T_2 遅延回路の出力信号を時間 T_1 だけ遅延させて出力する第 1 の T_1 遅延回路と、

前記 T_2 遅延回路の出力信号と該第 1 の T_1 遅延回路の出力信号から、パルス

幅 T_1 の前記重畳パルスを生成して出力する第 1 の重畳パルス生成回路と、

前記クロック信号 CLK からパルス幅 T_3 の信号を生成して出力する T_3 信号生成回路と、

該 T_3 信号生成回路から出力された信号に、前記第 1 の重畳パルス生成回路から出力された重畳パルスを前記送信用データ信号に応じて重畳させて、順次 1 ビット分のデータ信号を生成して送信用の前記シリアルデータ信号を生成し伝送路に出力する第 1 の出力信号生成回路と、

を備えることを特徴とする請求項 2 記載のシリアル通信装置。

【請求項 4】 前記第 1 の送受信回路における受信回路部は、

受信したシリアルデータ信号から前記重畳パルスを除去して出力する第 1 の T_1 除去回路と、

前記受信したシリアルデータ信号から前記重畳パルスを除去すると共に、該受信したシリアルデータ信号を時間 $(T_1 + T_2)$ 以上遅延させて出力する第 1 の入力信号遅延回路と、

前記受信したシリアルデータ信号と、前記第 1 の T_1 除去回路の出力信号と、該第 1 の入力信号遅延回路の出力信号とから、前記重畳パルスを抽出して出力する第 1 の重畳パルス抽出回路と、

該第 1 の重畳パルス抽出回路の出力信号から前記送信用データ信号を抽出して出力する第 1 のデータ抽出回路と、

を備えることを特徴とする請求項 2 又は 3 記載のシリアル通信装置。

【請求項 5】 前記第 1 の送受信回路における受信回路部は、

受信したシリアルデータ信号から前記重畳パルスを除去して出力する第 1 の T_1 除去回路と、

該第 1 の T_1 除去回路の出力信号を時間 $(T_1 + T_2)$ 以上遅延させて出力する第 1 の入力信号遅延回路と、

前記受信したシリアルデータ信号と、前記第 1 の T_1 除去回路の出力信号と、該第 1 の入力信号遅延回路の出力信号とから、前記重畳パルスを抽出して出力する第 1 の重畳パルス抽出回路と、

該第 1 の重畳パルス抽出回路の出力信号から前記送信用データ信号を抽出して

出力する第1のデータ抽出回路と、

を備えることを特徴とする請求項2又は3記載のシリアル通信装置。

【請求項6】 前記第1のデータ抽出回路は、前記クロック信号CLKから所定の内部クロック信号CLK_iを生成し、抽出する送信用データ信号を該内部クロック信号CLK_iに同期させて出力することを特徴とする請求項4又は5記載のシリアル通信装置。

【請求項7】 前記第2の送受信回路における受信回路部は、

受信したシリアルデータ信号から前記重畳パルスを除去して出力する第2のT₁除去回路と、

前記受信したシリアルデータ信号から前記重畳パルスを除去すると共に、該受信したシリアルデータ信号を時間(T₁ + T₂)以上遅延させて出力する第2の入力信号遅延回路と、

前記受信したシリアルデータ信号と、前記第2のT₁除去回路の出力信号と、該第2の入力信号遅延回路の出力信号とから、前記重畳パルスを抽出して出力する第2の重畳パルス抽出回路と、

該第2の重畳パルス抽出回路の出力信号から前記送信用データ信号を抽出して出力する第2のデータ抽出回路と、

を備え、

前記第2の送受信回路における送信回路部は、

前記第2の入力信号遅延回路の出力信号を時間T₁だけ遅延させて出力する第2のT₁遅延回路と、

該第2のT₁遅延回路の出力信号から、パルス幅T₁の前記重畳パルスを生成して出力する第2の重畳パルス生成回路と、

前記第2の送受信回路における受信回路部で受信したシリアルデータ信号に、該第2の重畳パルス生成回路から出力された重畳パルスを前記送信用データ信号に応じて重畳させて、送信用の前記シリアルデータ信号を生成して前記伝送路に出力する第2の出力信号生成回路と、

を備えることを特徴とする請求項2記載のシリアル通信装置。

【請求項8】 前記第2の送受信回路における受信回路部は、

受信したシリアルデータ信号から前記重畳パルスを除去して出力する第2のT1除去回路と、

該第2のT1除去回路の出力信号を時間(T1+T2)以上遅延させて出力する第2の入力信号遅延回路と、

前記受信したシリアルデータ信号と、前記第2のT1除去回路の出力信号と、該第2の入力信号遅延回路の出力信号とから、前記重畳パルスを抽出して出力する第2の重畳パルス抽出回路と、

該第2の重畳パルス抽出回路の出力信号から前記送信用データ信号を抽出して出力する第2のデータ抽出回路と、
を備え、

前記第2の送受信回路における送信回路部は、

前記第2の入力信号遅延回路の出力信号を時間T1だけ遅延させて出力する第2のT1遅延回路と、

該第2のT1遅延回路の出力信号から、パルス幅T1の前記重畳パルスを生成して出力する第2の重畳パルス生成回路と、

前記第2の送受信回路における受信回路部で受信したシリアルデータ信号に、該第2の重畳パルス生成回路から出力された重畳パルスを前記送信用データ信号に応じて重畳させて、送信用の前記シリアルデータ信号を生成して前記伝送路に出力する第2の出力信号生成回路と、

を備えることを特徴とする請求項2記載のシリアル通信装置。

【請求項9】 前記第2の出力信号生成回路は、前記第2の送受信回路における受信回路部で受信したシリアルデータ信号が所定の信号レベルであるときのみ、該受信回路部で受信したシリアルデータ信号に、前記第2の重畳パルス生成回路から出力された重畳パルスを重畳させて、送信用の前記シリアルデータ信号を生成して伝送路に出力することを特徴とする請求項7又は8記載のシリアル通信装置。

【請求項10】 前記第2の送受信回路は、前記第1の送受信回路にデータ信号を送信する場合、第1の送受信回路から送信された無データのシリアルデータ信号を前記基準パルス信号として使用することを特徴とする請求項2、3、4

、5、6、7、8又は9記載のシリアル通信装置。

【請求項11】 前記第1の送受信回路は、所定のホスト装置から入力された送信用データ信号に対して所定の信号レベルの間に所定の重畳パルスを重ねさせてシリアルデータ信号を生成して前記伝送路を介して第2の送受信回路に出力し、該第2の送受信回路は、伝送路から入力されたシリアルデータ信号に対して前記重畳パルスを抽出して前記送信用データ信号の抽出を行い、該抽出した送信用データ信号を所定のスレーブ装置に出力することを特徴とする請求項1、2、3、4、5、6、7、8、9又は10記載のシリアル通信装置。

【請求項12】 前記第2の送受信回路は、前記スレーブ装置から入力された送信用データ信号に対して所定の信号レベルの間に所定の重畳パルスを重ねさせてシリアルデータ信号を生成して前記伝送路を介して第1の送受信回路に出力し、該第1の送受信回路は、伝送路から入力されたシリアルデータ信号に対して前記重畳パルスを抽出して前記送信用データ信号の抽出を行い、該抽出した送信用データ信号を前記ホスト装置に出力することを特徴とする請求項11記載のシリアル通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、シリアル通信を行うシリアル通信装置に関し、特に半二重通信によるシリアル通信を行うシリアル通信装置に関する。

【0002】

【従来の技術】

デジタル信号をシリアル通信で伝送する方法は従来から様々な方法が知られているが、その中で代表的なものを図14～図17に示している。

図14において、データ信号S_{dA}は、最も一般的な信号であり、データを信号レベルでそのまま示し、各データの区切りを示した同期信号S_{aA}を用いてデータ信号S_{dA}からデータを抽出している。このような方式では、データ信号と同期信号の2つの信号が必要であった。

【0003】

次に、図15において、データ信号SdBは、パルス幅変調された信号であり、信号間隔は一定であるが、データが「0」のときと「1」のときで、パルス幅を変えている。この方式では、符号の間隔が問題になるだけで容易に非同期動作を行わせることができる。また、図16において、データ信号SdCは、パルスの時間的な位置を変えたパルス位置変調方式の信号であり、時間基準である同期信号SaCによってデータがサンプリングされている。図17において、データ信号SdDは、赤外線リモコン等で使用されている信号であり、上記のパルス幅変調とパルス位置変調を合わせた信号である。ただし、データ間隔は等間隔ではなく、非同期信号であり同期信号は不要である。

【0004】

図18は、半二重通信を行うシリアル通信装置の従来例を示した概略のブロック図である。図18のシリアル通信装置100において、ホスト側送受信回路101は、第1の送信回路部102と第1の受信回路部103と送信権制御を行う第1のスイッチ部104とを備えている。同様に、スレーブ側送受信回路105は、第2の送信回路部106と第2の受信回路部107と送信権制御を行う第2のスイッチ部108とを備えている。第1の送信回路部102と第2の送信回路部106は基本的に同じものであり、第1の受信回路部103と第2の受信回路部107は基本的には同じものである。

【0005】

ここで、送信権がホスト側送受信回路101にある場合、データは、ホスト側送受信回路101の第1の送信回路部102からスレーブ側送受信回路の第2の受信回路部107へ伝送される。また、送信権がスレーブ側送受信回路105に移ると、データはスレーブ側送受信回路105の第2の送信回路部107からホスト側送受信回路101の第1の受信回路部103へ伝送される。

【0006】

【発明が解決しようとする課題】

しかし、前述したように、従来は、データ信号の他に同期信号が必要であったり、同期信号が不要であっても、データからデータ信号を生成する、逆に、データ信号からデータを抽出するときの回路が複雑であったりした。更に、半二重通

信を行うには、スレーブ側でも、ホスト側と同様の回路が必要であり、送受信を切り替えるための切り替え手段が必要であるため、回路規模が大きくなり回路スペースやコストの増大を招いていた。

【0007】

本発明は、上記のような問題を解決するためになされたものであり、同期信号が不要で、ホスト側及びスレーブ側の各送受信回路を簡単な回路でそれぞれ構成することができ、スレーブ側の回路負担を少なくして、送受信の切り替え手段が不要な、小型で安価なシリアル通信装置を得ることを目的とする。

【0008】

【課題を解決するための手段】

この発明に係るシリアル通信装置は、少なくとも1つの第1の送受信回路と少なくとも1つの第2の送受信回路とが伝送路で接続され、該第1及び第2の各送受信回路間で半二重通信によるシリアル通信を行うシリアル通信装置において、

前記各送受信回路は、

2値の送信用データ信号に対して所定の信号レベルの間に所定の重畳パルスを重畳させてシリアルデータ信号を生成して送信する送信回路部と、

該送信回路部から送信されたシリアルデータ信号を受信し、該受信した該シリアルデータ信号に対して前記重畳パルスを抽出して前記送信用データ信号の抽出を行う受信回路部と、

をそれぞれ備えるものである。

【0009】

具体的には、前記送信回路部は、所定の起点より始まるパルス幅 T_3 の基準パルス信号に、該起点から時間 T_2 が経過した時点で、該基準パルス信号の信号レベルを反転したパルス幅 T_1 の重畳パルスを重畳させて前記送信用データ信号における1ビット分の所定の2値のレベルを表すと共に、前記起点から時間 T_2 が経過した時点で、前記重畳パルスがない場合は、前記送信用データ信号における1ビット分の他の2値のレベルを表し、更に前記パルス幅 T_1 とパルス幅 T_3 及び時間 T_2 が $T_1 < T_2 < T_3$ でかつ $(T_1 + T_2) < T_3$ の関係が成り立つように、前記シリアルデータ信号を生成して送信用データ信号を1ビットずつ連続

して出力するシリアル通信を行うようにした。

【0010】

また、前記第1の送受信回路における送信回路部は、

前記送信用データ信号に同期したクロック信号CLKが入力され、該クロック信号CLKを時間T2だけ遅延させて出力するT2遅延回路と、

該T2遅延回路の出力信号を時間T1だけ遅延させて出力する第1のT1遅延回路と、

前記T2遅延回路の出力信号と該第1のT1遅延回路の出力信号から、パルス幅T1の前記重畳パルスを生成して出力する第1の重畳パルス生成回路と、

前記クロック信号CLKからパルス幅T3の信号を生成して出力するT3信号生成回路と、

該T3信号生成回路から出力された信号に、前記第1の重畳パルス生成回路から出力された重畳パルスを前記送信用データ信号に応じて重畳させて、順次1ビット分のデータ信号を生成して送信用の前記シリアルデータ信号を生成し伝送路に出力する第1の出力信号生成回路と、

を備えるようにした。

【0011】

また、前記第1の送受信回路における受信回路部は、

受信したシリアルデータ信号から前記重畳パルスを除去して出力する第1のT1除去回路と、

前記受信したシリアルデータ信号から前記重畳パルスを除去すると共に、該受信したシリアルデータ信号を時間(T1+T2)以上遅延させて出力する第1の入力信号遅延回路と、

前記受信したシリアルデータ信号と、前記第1のT1除去回路の出力信号と、該第1の入力信号遅延回路の出力信号とから、前記重畳パルスを抽出して出力する第1の重畳パルス抽出回路と、

該第1の重畳パルス抽出回路の出力信号から前記送信用データ信号を抽出して出力する第1のデータ抽出回路と、

を備えるようにした。

【0012】

また、前記第1の送受信回路における受信回路部は、
受信したシリアルデータ信号から前記重畳パルスを除去して出力する第1のT
1除去回路と、

該第1のT1除去回路の出力信号を時間 $(T1 + T2)$ 以上遅延させて出力す
る第1の入力信号遅延回路と、

前記受信したシリアルデータ信号と、前記第1のT1除去回路の出力信号と、
該第1の入力信号遅延回路の出力信号とから、前記重畳パルスを抽出して出力す
る第1の重畳パルス抽出回路と、

該第1の重畳パルス抽出回路の出力信号から前記送信用データ信号を抽出して
出力する第1のデータ抽出回路と、
を備えるようにしてもよい。

【0013】

この場合、前記第1のデータ抽出回路は、前記クロック信号CLKから所定の
内部クロック信号CLK_iを生成し、抽出する送信用データ信号を該内部クロッ
ク信号CLK_iに同期させて出力するようにしてもよい。

【0014】

一方、前記第2の送受信回路における受信回路部は、
受信したシリアルデータ信号から前記重畳パルスを除去して出力する第1のT
1除去回路と、

前記受信したシリアルデータ信号から前記重畳パルスを除去すると共に、該受
信したシリアルデータ信号を時間 $(T1 + T2)$ 以上遅延させて出力する第2の
入力信号遅延回路と、

前記受信したシリアルデータ信号と、前記第2のT1除去回路の出力信号と、
該第2の入力信号遅延回路の出力信号とから、前記重畳パルスを抽出して出力す
る第2の重畳パルス抽出回路と、

該第2の重畳パルス抽出回路の出力信号から前記送信用データ信号を抽出して
出力する第2のデータ抽出回路と、
を備え、

前記第2の送受信回路における送信回路部は、

前記第2の入力信号遅延回路の出力信号を時間 T_1 だけ遅延させて出力する第2の T_1 遅延回路と、

該第2の T_1 遅延回路の出力信号から、パルス幅 T_1 の前記重畳パルスを生成して出力する第2の重畳パルス生成回路と、

前記第2の送受信回路における受信回路部で受信したシリアルデータ信号に、該第2の重畳パルス生成回路から出力された重畳パルスを前記送信用データ信号に応じて重畳させて、送信用の前記シリアルデータ信号を生成して前記伝送路に出力する第2の出力信号生成回路と、

を備えるようにした。

【0015】

また、前記第2の送受信回路における受信回路部は、

受信したシリアルデータ信号から前記重畳パルスを除去して出力する第2の T_1 除去回路と、

該第2の T_1 除去回路の出力信号を時間 $(T_1 + T_2)$ 以上遅延させて出力する第2の入力信号遅延回路と、

前記受信したシリアルデータ信号と、前記第2の T_1 除去回路の出力信号と、該第2の入力信号遅延回路の出力信号とから、前記重畳パルスを抽出して出力する第2の重畳パルス抽出回路と、

該第2の重畳パルス抽出回路の出力信号から前記送信用データ信号を抽出して出力する第2のデータ抽出回路と、

を備え、

前記第2の送受信回路における送信回路部は、

前記第2の入力信号遅延回路の出力信号を時間 T_1 だけ遅延させて出力する第2の T_1 遅延回路と、

該第2の T_1 遅延回路の出力信号から、パルス幅 T_1 の前記重畳パルスを生成して出力する第2の重畳パルス生成回路と、

前記第2の送受信回路における受信回路部で受信したシリアルデータ信号に、該第2の重畳パルス生成回路から出力された重畳パルスを前記送信用データ信号

に応じて重畳させて、送信用の前記シリアルデータ信号を生成して前記伝送路に出力する第2の出力信号生成回路と、
を備えるようにしてもよい。

【0016】

前記第2の出力信号生成回路は、前記第2の送受信回路における受信回路部で受信したシリアルデータ信号が所定の信号レベルであるときのみ、該受信回路部で受信したシリアルデータ信号に、前記第2の重畳パルス生成回路から出力された重畳パルスを重畳させて、送信用の前記シリアルデータ信号を生成して伝送路に出力するようにしてもよい。

【0017】

具体的には、前記第2の送受信回路は、前記第1の送受信回路にデータ信号を送信する場合、第1の送受信回路から送信された無データのシリアルデータ信号を前記基準パルス信号として使用するようにした。

【0018】

また、前記第1の送受信回路は、所定のホスト装置から入力された送信用データ信号に対して所定の信号レベルの間に所定の重畳パルスを重畳させてシリアルデータ信号を生成して前記伝送路を介して第2の送受信回路に出力し、該第2の送受信回路は、伝送路から入力されたシリアルデータ信号に対して前記重畳パルスを抽出して前記送信用データ信号の抽出を行い、該抽出した送信用データ信号を所定のスレーブ装置に出力するようにした。

【0019】

この場合、前記第2の送受信回路は、前記スレーブ装置から入力された送信用データ信号に対して所定の信号レベルの間に所定の重畳パルスを重畳させてシリアルデータ信号を生成して前記伝送路を介して第1の送受信回路に出力し、該第1の送受信回路は、伝送路から入力されたシリアルデータ信号に対して前記重畳パルスを抽出して前記送信用データ信号の抽出を行い、該抽出した送信用データ信号を前記ホスト装置に出力するようにしてもよい。

【0020】

【発明の実施の形態】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

第1の実施の形態.

図1は、本発明の第1の実施の形態におけるシリアル通信装置の例を示した概略のブロック図である。

図1において、シリアル通信装置1は、ホスト装置HCとスレーブ装置SCとの間で半二重通信によるシリアル通信を行うものであり、ホスト側送受信回路2とスレーブ側送受信回路3で構成されている。ホスト側送受信回路2はホスト装置HCに、スレーブ側送受信回路3はスレーブ装置SCにそれぞれ接続され、ホスト側送受信回路2とスレーブ側送受信回路3は、シリアル信号の伝送を行う伝送路4で接続されている。なお、ホスト側送受信回路2は第1の送受信回路を、スレーブ側送受信回路3は第2の送受信回路をそれぞれなす。

【0021】

ホスト側送受信回路2は、第1の送信回路部11と第1の受信回路部12で構成され、スレーブ側送受信回路3は、第2の送信回路部13と第2の受信回路部14で構成されている。第1の送信回路部11及び第1の受信回路部12と、第2の送信回路部13及び第2の受信回路部14とは伝送路4で接続されている。ホスト側送受信回路2からスレーブ側送受信回路3にデータを送信する場合は、第1の送信回路部11から伝送路4を介してスレーブ側送受信回路3にシリアルデータ信号を送信し、第2の受信回路部14は、伝送路4を介して入力された信号からデータを抽出する。

【0022】

また、スレーブ側送受信回路3からホスト側送受信回路2にデータを送信する場合は、第1の送信回路部11から伝送路4を介してスレーブ側送受信回路3に無データの信号を送信する。第2の送信回路部13と第2の受信回路部14は接続されており、第2の送信回路部13は、伝送路4を介して入力された無データ信号にパルスを重ねさせてデータを書き込み、該データを書き込んだシリアルデータ信号を、伝送路4を介してホスト側送受信回路2に送信し、第1の受信回路部12は、伝送路4を介して入力された信号からデータを抽出する。

【0023】

図2は、図1における第1の送信回路部11の回路例を示した図であり、図3は、図2の各部の波形例を示したタイミングチャートである。図2及び図3を参照しながら、第1の送信回路部11について説明する。

図2における第1の送信回路部11は、ホスト装置HCから出力データ信号SD01とクロック信号CLKが入力されており、出力データ信号SD01に応じたシリアル出力信号S01を生成して伝送路4に出力する。クロック信号CLKは、出力データ信号SD01の出力タイミングの2倍の周波数であり、出力データ信号SD01に同期している。

【0024】

第1の送信回路部11は、クロック信号CLKを所定の時間T2だけ遅延させるT2遅延回路21と、該T2遅延回路21の出力信号S1を更に所定の時間T1だけ遅延させるT1遅延回路22と、T2遅延回路21の出力信号S1とT1遅延回路22の出力信号S2から重畳パルス信号S3を生成する重畳パルス生成回路23と、クロック信号CLKを2分周して所定のパルス幅T3のパルス信号S5を生成するT3信号生成回路24と、重畳パルス信号S3を出力データ信号SD01に応じて重畳させた重畳パルス信号S4とパルス信号S5からシリアル出力信号S01を生成する出力信号生成回路25で構成されている。なお、T1遅延回路22は第1のT1遅延回路を、重畳パルス生成回路23は第1の重畳パルス生成回路を、出力信号生成回路25は第1の出力信号生成回路をそれぞれなす。

【0025】

T2遅延回路21は、抵抗R1と、コンデンサC1と、バッファゲートBUF1で構成されている。抵抗R1の一端と接地電圧との間にはコンデンサC1が接続されており、抵抗R1の他端にはクロック信号CLKが入力されている。また、抵抗R1とコンデンサC1との接続部は、バッファゲートBUF1の入力端に接続されている。T2遅延回路21の出力信号S1は、図3で示すようにクロック信号CLKを時間T2だけ遅延させた信号になり、遅延時間T2は抵抗R1とコンデンサC1とバッファゲートBUF1のしきい値電圧Vt1で決定される。

【0026】

また、T1遅延回路22は、抵抗R2、コンデンサC2及びインバータINV1とで構成されている。T2遅延回路21の出力端、すなわちバッファゲートBUF1の出力端と接地電圧との間には、抵抗R2とコンデンサC2が直列に接続されている。また、抵抗R2とコンデンサC2の接続部は、インバータINV1の入力端に接続されている。T1遅延回路22の出力信号S2は、図3で示すように、T2遅延回路21の出力信号S1を反転し、時間T1だけ遅延させた信号になる。T1遅延回路22の遅延時間T1は、抵抗R2、コンデンサC2及びインバータINV1のしきい値電圧Vt2で決定される。

【0027】

重畳パルス生成回路23は、AND回路AN1で構成されている。AND回路AN1の各入力端には、T2遅延回路21の出力信号S1とT1遅延回路22の出力信号S2が対応して入力されており、AND回路AN1の出力端からは、図3のS3に示すように、重畳パルスがクロック信号CLKの1周期ごとに1つつ作られる。

【0028】

T3信号生成回路24は、DフリップフロップDFF1で構成された1/2分周回路からなる。DフリップフロップDFF1のクロック入力端CKにはクロック信号CLKが入力されており、クロック信号CLKがローレベルからハイレベルに立ち上がる時点で出力端Qが反転し、図3のS5に示すように、T3信号生成回路24は、時間T3ごとに反転するパルス幅T3の信号を生成して出力する。

【0029】

出力信号生成回路25は、AND回路AN2とEXOR（エクスクルーシブオア）回路EXC1で構成されている。AND回路AN2の2つの入力端には、出力データ信号SD01と重畳パルス生成回路23の出力信号S3が対応して入力され、AND回路AN2の出力端は、EXOR回路EXC1の一方の入力端に接続されている。EXOR回路EXC1の他方の入力端には、T3信号生成回路24の出力信号S5が入力されている。出力信号生成回路25は、出力信号S5の信号レベルが変化するとともに出力データ信号SD01に応じて、出力信号S3の

重畳パルスの有無を決定し、図3で示しているようなシリアル出力信号S o 1を生成する。

【0030】

次に、図4は、図1における第1の受信回路部12の回路例を示した図であり、図5は、図4の各部の波形例を示したタイミングチャートである。図4及び図5を参照しながら、第1の受信回路部12について説明する。

図5における第1の受信回路部12は、伝送路4から入力されたシリアル入力信号S i 1からデータを抽出して入力データ信号S D i 1としてホスト装置H Cに出力する。

【0031】

第1の受信回路部12は、シリアル入力信号S i 1から重畳パルスを除去するT 1除去回路31と、シリアル入力信号S i 1を時間(T 1+T 2)以上遅延させると共に重畳パルスを除去する入力信号遅延回路32と、シリアル入力信号S i 1とT 1除去回路31の出力信号S 12と入力信号遅延回路32の出力信号S 14とから重畳パルスを抽出する重畳パルス抽出回路33と、該重畳パルス抽出回路33の出力信号S 17からデータ信号を抽出して入力データ信号S D i 1としてホスト装置H Cに出力するデータ抽出回路34で構成されている。なお、T 1除去回路31は第1のT 1除去回路を、入力信号遅延回路32は第1の入力信号遅延回路を、重畳パルス抽出回路33は第1の重畳パルス抽出回路を、データ抽出回路34は第1のデータ抽出回路をそれぞれなす。

【0032】

T 1除去回路31は、抵抗R 11、コンデンサC 11及びバッファゲートB U F 11で構成されている。抵抗R 11の一端と接地電圧との間にはコンデンサC 11が接続されており、抵抗R 11の他端にはシリアル入力信号S i 1が入力されている。また、抵抗R 11とコンデンサC 11との接続部は、バッファゲートB U F 11の入力端に接続されている。抵抗R 11とコンデンサC 11との接続部の信号をS 11とする。

【0033】

図5から分かるように、T 1除去回路31によって、シリアル入力信号S i 1

の重畳パルスが除去されパルス幅 T_3 の元のパルス信号だけが取り出され、出力信号 S_{12} として出力される。重畳パルスのパルス幅 T_1 が短いほど、 T_1 除去回路 31 の時定数が小さくて済むため、重畳パルスを容易に除去することができる。更に、 T_1 除去回路 31 の出力信号 S_{12} とシリアル入力信号 S_{i1} の位相のズレが小さくて済むことから、重畳パルスのパルス幅 T_1 は小さいほどよい。

【0034】

入力信号遅延回路 32 は、抵抗 R_{12} 、コンデンサ C_{12} 及びバッファゲート BUF_{12} で構成されている。抵抗 R_{12} の一端と接地電圧との間にはコンデンサ C_{12} が接続されており、抵抗 R_{12} の他端にはシリアル入力信号 S_{i1} が入力されている。また、抵抗 R_{12} とコンデンサ C_{12} との接続部はバッファゲート BUF_{12} の入力端に接続されている。抵抗 R_{12} とコンデンサ C_{12} との接続部の信号を S_{13} とする。

【0035】

図 5 から分かるように、入力信号遅延回路 32 の時定数は、 T_1 除去回路 31 の時定数より大きくなるように設定されていることから、入力信号遅延回路 32 の出力信号 S_{14} は、シリアル入力信号 S_{i1} から重畳パルスが除去されると共に、シリアル入力信号 S_{i1} が時間 $(T_1 + T_2)$ 以上遅延された信号になっている。なお、図 5 において、電圧 V_{t11} はバッファゲート BUF_{11} のしきい値電圧を、電圧 V_{t12} はバッファゲート BUF_{12} のしきい値電圧をそれぞれ示している。

【0036】

重畳パルス抽出回路 33 は、 $EXNOR$ (エクスクルーシブノア) 回路 EXN_{11} 、 $EXOR$ 回路 EXC_{11} 及び AND 回路 AN_{11} で構成されている。 $EXNOR$ 回路 EXN_{11} の 2 つの入力端にはシリアル入力信号 S_{i1} と入力信号遅延回路 32 の出力信号 S_{14} が対応して入力されている。 $EXOR$ 回路 EXC_{11} の 2 つの入力端には T_1 除去回路 31 の出力端と入力信号遅延回路 32 の出力端が対応して接続されている。

【0037】

AND 回路 AN_{11} の 2 つの入力端には、 $EXNOR$ 回路 EXN_{11} と EXO

R回路EXC11の出力端が対応して接続されている。EXOR回路EXC11の出力信号をS15とし、EXNOR回路EXN11の出力信号をS16とし、重畳パルス抽出回路33の出力信号であるAND回路AN11の出力信号をS17とする。図5から分かるように、AND回路AN11の出力端からは、抽出された重畳パルスが出力信号S17として出力されている。

【0038】

データ抽出回路34は、3つのDフリップフロップDFF11～DFF13、インバータINV11及びEXOR回路EXC12で構成されている。DフリップフロップDFF11のクロック信号入力端CKには、重畳パルス抽出回路33の出力信号S17が、DフリップフロップDFF11のデータ入力端DにはDフリップフロップDFF11の反転出力端QBが接続されている。また、DフリップフロップDFF11の出力端Qは、DフリップフロップDFF12のデータ入力端Dに接続されている。

【0039】

更に、DフリップフロップDFF12の出力端Qは、DフリップフロップDFF13のデータ入力端Dに接続されている。DフリップフロップDFF12とDフリップフロップDFF13のクロック信号入力端CKには、インバータINV11を介してEXOR回路EXC11の出力端が接続されている。EXOR回路EXC12の2つの入力端には、DフリップフロップDFF12及びDFF13の各出力端Qが対応して接続されている。

【0040】

インバータINV11の出力信号をS18とし、DフリップフロップDFF11～DFF13の各出力端Qからの出力信号をS19～S21とする。

図5において、EXOR回路EXC12は、出力信号S20と出力信号S21の各信号レベルが一致する場合はローレベルの信号を、一致しない場合はハイレベルの信号を出力することから、入力データ信号SDi1は、シリアル入力信号Si1に重畳パルスが重畳されている間はハイレベルになる。

【0041】

図6は、図4の入力信号遅延回路32の他の回路例を示した図である。重畳パ

ルスはT1除去回路31で除去されていることから、T1除去回路31の出力信号S12を遅延することによっても、図5に示す信号S14を生成することができる。図6では、インバータの入力変化が出力に現れるまでの信号遅延を利用した回路を例にして示しており、4つのインバータINV12～INV15を直列に接続しているが、インバータの数を増やすことで必要な遅延時間を得ることができる。なお、図6では、入力信号遅延回路32において、入力信号に対する出力信号の信号レベルが反転しないように直列に接続するインバータの数は偶数個にしてある。また、入力信号遅延回路32は図6の回路に限らず、CRを用いた単安定マルチバイブレータや、シフトレジスタ等の遅延回路を使用してもよい。

【0042】

図7は、図1のスレーブ側送受信回路3の回路例を示した図であり、図8は、図7の各部の波形例を示したタイミングチャートである。図7及び図8を参照しながらスレーブ側送受信回路3について説明する。

図7において、第2の受信回路部14は、伝送路4から入力されたシリアル入力信号Si2からデータを抽出して入力データ信号SDi2としてスレーブ装置SCに出力する。

【0043】

第2の受信回路部14は、シリアル入力信号Si2から重畳パルスを除去するT1除去回路41と、該T1除去回路41の出力信号S31を時間(T1+T2)以上遅延させて出力する入力信号遅延回路42と、シリアル入力信号Si2とT1除去回路41の出力信号S31と入力信号遅延回路42の出力信号S32とから重畳パルスを抽出する重畳パルス抽出回路43と、該重畳パルス抽出回路43の出力信号からデータ信号を抽出して入力データ信号SDi2としてスレーブ装置SCに出力するデータ抽出回路44で構成されている。

【0044】

なお、第2の受信回路部14は、図4で示した第1の受信回路部12と同様の回路構成をなすことから、その説明を省略する。また、T1除去回路41は第2のT1除去回路を、入力信号遅延回路42は第2の入力信号遅延回路を、重畳パルス抽出回路43は第2の重畳パルス抽出回路を、データ抽出回路44は第2の

データ抽出回路をそれぞれなしている。

【0045】

次に、第2の送信回路部13は、入力信号遅延回路42の出力信号S32を時間T1だけ遅延するT1遅延回路51と、入力信号遅延回路42の出力信号S32とT1遅延回路51の出力信号S33から重畳パルス信号S34を生成して出力する重畳パルス生成回路52と、シリアル出力信号So2を生成して伝送路4に出力する出力信号生成回路53とで構成されている。なお、T1遅延回路51は第2のT1遅延回路を、重畳パルス生成回路52は第2の重畳パルス生成回路を、出力信号生成回路53は第2の出力信号生成回路をそれぞれなす。

【0046】

T1遅延回路51は、抵抗R22、コンデンサC22及びインバータINV26で構成されている。抵抗R22の一端と接地電圧との間にはコンデンサC22が接続されており、抵抗R22の他端には入力信号遅延回路42の出力信号S32が入力されている。また、抵抗R22とコンデンサC22の接続部は、インバータINV26の入力端に接続されている。T1遅延回路51は、図8から分かるように、入力信号遅延回路42の出力信号S32を遅延時間T1だけ遅延させると共に信号レベルを反転させて出力信号S33として出力する。

【0047】

重畳パルス生成回路52は、ExNOR回路EXN22で構成されている。T1遅延回路51の入力端と出力端がExNOR回路EXN22の2つの入力端に対応して接続されており、ExNOR回路EXN22の出力端からは、重畳パルスがシリアル入力信号Si2の半周期ごとに1つずつ生成されてなる出力信号S34が出力される。

【0048】

出力信号生成回路53は、3入力のAND回路AN22、3入力のNAND回路NA21、PNPトランジスタTr21及びNPNトランジスタTr22で構成されている。AND回路AN22及びNAND回路NA21において、各第1の入力端には重畳パルス生成回路52の出力信号S34が、各第2の入力端には出力データ信号SDo2がそれぞれ入力されている。更に、AND回路AN22

の第3の入力端には、第2の受信回路部14におけるT1除去回路41の出力信号S31が入力され、NAND回路NA21の第3の入力端には、T1除去回路41の出力信号S31の信号レベルを反転した信号が入力されている。

【0049】

AND回路AN22の出力端は、NPNトランジスタTr22のベースに、NAND回路NA21の出力端は、PNPトランジスタTr21のベースに接続されている。電源電圧Vddと接地電圧との間には、PNPトランジスタTr21とNPNトランジスタTr22が直列に接続されており、PNPトランジスタTr21とNPNトランジスタTr22の接続部から伝送路4にシリアル出力信号So2が出力される。AND回路AN22は、シリアル入力信号Si2と出力データ信号SDo2が共にハイレベルのときにハイレベルの信号を出力し、NPNトランジスタTr22がオンしてシリアル出力信号So2の信号レベルを下げる。

【0050】

NAND回路NA21は、シリアル入力信号Si2がローレベルであると共に出力データ信号SDo2がハイレベルのときにローレベルの信号を出力し、PNPトランジスタTr21がオンしてシリアル入力信号So2の信号レベルを上げる。このように、第2の送信回路部13は、シリアル入力信号Si2に重畳パルスを重畳させてシリアル出力信号So2を生成して出力する。なお、図7における第2の送信回路部13から出力されるシリアル出力信号So2では、重畳パルスが重畳される位置は、起点から約(T2+T1)後になるが、時間T1は時間T2に比べ十分小さいことから $T2 \approx T1 + T2$ であり、シリアル出力信号So2は前述した第1の受信回路部12で十分受信することができる。

【0051】

ここで、時間T1～T3の関係について説明する。

図9は、伝送路4に出力されるシリアル出力信号の例を示した図である。

図9(a)に示すシリアル出力信号は、パルス幅T3の繰り返し信号におけるローレベルからハイレベルに変化する時点と、ハイレベルからローレベルに変化する時点の両方を起点としている。

出力データ信号が「1」の場合は、起点から時間 T_2 が経過した時点で、信号レベルを反転させたパルス幅 T_1 のパルスが発生させる。出力データ信号が「0」の場合は、パルス幅 T_1 のパルスが発生させないようにしている。また、各起点からハイレベル又はローレベルの期間を T_3 とする。

【0052】

時間 $T_1 \sim T_3$ の関係は、下記の条件1を満足する。

$$T_1 < T_2 < T_3 \text{ かつ } (T_1 + T_2) < T_3 \dots\dots\dots (\text{条件1})$$

時間 T_1 はできるだけ小さい方が送受信回路を簡単に構成することができるため、望ましくは下記条件2を満足するようにすればよい。

$$T_1 \ll T_2 < T_3 \dots\dots\dots (\text{条件2})$$

また、時間 T_3 は時間 T_2 に比べて2倍以上であると送受信回路が簡単になるため、下記条件3を満足することが望ましい。

$$(T_1 + T_2) < T_3 / 2 \dots\dots\dots (\text{条件3})$$

【0053】

図9 (b) で示したシリアル出力信号は、繰り返し信号におけるローレベルからハイレベルに変化する時点を起点とした例であり、このときのパルス幅 T_3 は繰り返し信号のハイレベルの期間である。図示していないが、逆に起点をハイレベルからローレベルにした場合のパルス幅 T_3 は、繰り返し信号のローレベルの期間となる。

図9 (c) で示したシリアル出力信号は、繰り返し信号の2周期ごとにローレベルからハイレベルに変化する時点を起点とした例である。

起点を繰り返し信号のどこにするかは、図9で示した以外にもさまざまな案が考えられるが、起点の条件は、使用する伝送システムによって前記条件1～3を満足するように最適に設定すればよい。

【0054】

図10は、第1の受信回路12の他の回路例を示した図であり、図11は、図10の各部の波形例を示したタイミングチャートである。なお、図10では、図4と同じもの又は同様のものは同じ符号で示し、ここではその説明を省略すると共に図4との相違点のみ説明する。

図10における図4との相違点は、図4のデータ抽出回路34の回路構成を変えたことにある。

【0055】

図10におけるデータ抽出回路34は、DフリップフロップDFF11～DFF13、インバータINV11及びPLLを構成しているダウンカウンタDC31で構成されている。DフリップフロップDFF11に対する接続は図4の場合と同様であり、DフリップフロップDFF12、DFF13及びEXOR回路EXC12に対する接続は、DフリップフロップDFF12、DFF13の各クロック信号入力端CK以外は図4と同様である。

【0056】

DフリップフロップDFF12及びDFF13の各クロック信号入力端CKには、PLLの出力であるダウンカウンタDC31の出力端Q2から、クロック信号CLKを4分周した内部クロック信号CLKiが供給されている。このため、DフリップフロップDFF12の出力信号S20とDフリップフロップDFF13の出力信号S21は、図11で示すように、内部クロック信号CLKiの立ち下がりに同期して、DフリップフロップDFF11の出力信号をシフトした信号となる。

【0057】

ダウンカウンタDC31のリセット入力端Rには、インバータINV11を介して重畳パルス抽出回路33の出力信号S17が入力され、クロック信号CLKは、パルス幅T3の間に4クロック発生するようにロックされている。このため、PLLの出力であるダウンカウンタDC31の出力端Q2から出力される内部クロック信号CLKiは、シリアル入力信号Si1における基本周波数の2倍の周波数となる。図11から分かるように、EXOR回路EXC12は、出力信号S20及びS21の信号レベルが一致するとローレベルの信号を出力し、出力信号S20及びS21の信号レベルが一致しないとハイレベルの信号を出力する。このことから、図11の入力データ信号SDi1に示すように、シリアル入力信号Si1に重畳パルスが重畳された期間がハイレベルになった入力データ信号SDi1が得られることが分かる。

【0058】

このように、本第1の実施の形態におけるシリアル通信装置によれば、所定の起点より始まるパルス幅 T_3 のパルス信号に、起点から時間 T_3 より短い時間 T_2 が経過した時点で、時間 T_2 よりパルス幅の小さい重畳パルスの有無によって、データの「1」と「0」を表すようにした。このことから、同期信号が不要で、ホスト側及びスレーブ側の各送受信回路を簡単な回路でそれぞれ構成することができ、スレーブ側の回路負担を少なくして、送受信の切り替え手段が不要で、小型化及びコストの低減を図ることができる。また、スレーブ側送受信回路ではクロック信号を発生させる必要がないことから、回路構成を非常にシンプルにすることができる。

【0059】

第2の実施の形態.

図12は、本発明の第2の実施の形態におけるシリアル通信装置のスレーブ側送受信回路の回路例を示した図であり、図13は、図12の各部の波形例を示したタイミングチャートである。なお、本発明の第2の実施の形態におけるシリアル通信装置の例を示したブロック図は、図1のスレーブ側送受信回路3及び第2の送信回路部13の符号を変える以外は図1と同様であるので省略する。また、図12では、図7と同じもの又は同様のものは同じ符号で示し、ここではその説明を省略すると共に図7との相違点のみ説明する。

【0060】

図12における図7との相違点は、図7の重畳パルス発生回路52の回路構成を変えて重畳パルス発生回路52aにすると共に、図7の出力信号生成回路53の回路構成を変えて出力信号生成回路53aにしたことにあり、これらに伴って、図7の第2の送信回路部13を第2の送信回路部13aに、図7のスレーブ側送受信回路3をスレーブ側送受信回路3aにそれぞれした。

図12において、スレーブ側送受信回路3aは、第2の送信回路部13aと第2の受信回路部14で構成されている。なお、第2の受信回路部14は、図7と同様であるのでその説明を省略する。

【0061】

第2の送信回路部13aは、T1遅延回路51と、入力信号遅延回路42の出力信号S32とT1遅延回路51の出力信号S33から重畳パルス信号S34aを生成する重畳パルス生成回路52aと、シリアル出力信号So2を生成して伝送路4に出力する出力信号生成回路53aとで構成されている。なお、重畳パルス生成回路52aは第2の重畳パルス生成回路を、出力信号生成回路53aは第2の出力信号生成回路をそれぞれなす。

重畳パルス生成回路52aは、AND回路AN31で構成されている。T1遅延回路51の入力端と出力端がAND回路AN31の2つの入力端に対応して接続されており、AND回路AN31の出力端からは、重畳パルスがシリアル入力信号Si2のハイレベル期間ごとに1つずつ生成されてなる出力信号S34aが出力される。

【0062】

出力信号生成回路53aは、AND回路AN32及びNPNトランジスタTr31で構成されている。AND回路AN32において、一方の入力端には重畳パルス生成回路52aの出力信号S34aが、他方の入力端には出力データ信号SD02がそれぞれ入力されている。AND回路AN32の出力端は、NPNトランジスタTr31のベースに接続されており、シリアル入力信号Si2が入力される入力端と接地電圧との間にはNPNトランジスタTr31が接続されている。なお、AND回路AN32の出力信号をS36aとする。

【0063】

このような構成において、AND回路AN32の出力信号S36aがハイレベルになると、NPNトランジスタTr31はオンしてシリアル入力信号Si2の信号レベルを低下させるため、図13に示すように、シリアル入力信号Si2に重畳パルスを重畳させたシリアル出力信号So2を生成することができる。図13から分かるように、図12の第2の送信回路部13aでは、シリアル入力信号Si2がハイレベルのときにのみシリアル入力信号Si2に重畳パルスを重畳していることから、第2の送信回路部13aからホスト装置HCにデータ信号を送信する場合は、ホスト側送受信回路からスレーブ側送受信回路にデータ信号を送信する場合に比べ、データ信号密度が1/2になっている。なお、このときのシ

リアル出力信号 S_o2 は、図 9 (b) で示した場合と同様である。

【0064】

このように、本第 2 の実施の形態におけるシリアル通信装置は、第 2 の送信回路部 13a で、シリアル入力信号 S_i2 がハイレベルのときにのみシリアル入力信号 S_i2 に重畳パルスを重ねるようにした。このことから、前記第 1 の実施の形態と同様の効果を得ることができると共に、スレーブ側送受信回路からの送信データが少ない場合は、起点の位置を繰り返し信号の 1 周期ごとにするによって、スレーブ側送受信回路における送信回路部の回路構成を更に簡素化することができる。

【0065】

【発明の効果】

上記の説明から明らかなように、本発明のシリアル通信装置によれば、所定の起点より始まるパルス幅 T_3 の基準パルス信号に、起点から時間 T_3 より短い時間 T_2 経過した時点で、時間 T_2 より幅の狭い重畳パルスの有無によって、送信用データの「1」と「0」を表すようにしたため、送信用データ信号とは別ラインの同期信号が不要となり、簡単な回路、例えば 2 組の遅延回路と簡単なロジック回路だけで送信回路と受信回路を構成することができる。また、遅延回路は CR の時定数を応用した極めて簡単な回路でもよく、回路スペースを節約することができると共に、コストダウンを図ることができる。

【0066】

また、第 2 の送受信回路においては、受信回路部で使用する遅延回路の一部が送信回路部にも共用することができ、送信回路部自体も簡単なロジック回路で構成することができる。更に、第 2 の送受信回路は、入力された無データのシリアルデータ信号に重畳パルスを重ねて、伝送路に出力するシリアルデータ信号としたことから、クロック発生回路や、送信権を制御する回路も不要で、第 2 の送受信回路は第 1 の送受信回路以上に回路スペースの節約とコストダウンを図ることができる。

【0067】

また、第 2 の送受信回路からの送信データが少ない場合は、起点の位置を基準

パルス信号の 1 周期ごとにするにより、送信回路部の回路構成を更に簡素化することもできる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施の形態におけるシリアル通信装置の例を示した概略のブロック図である。

【図 2】 図 1 における第 1 の送信回路部 11 の回路例を示した図である。

【図 3】 図 2 の各部の波形例を示したタイミングチャートである。

【図 4】 図 1 における第 1 の受信回路部 12 の回路例を示した図である。

【図 5】 図 4 の各部の波形例を示したタイミングチャートである。

【図 6】 図 4 の入力信号遅延回路 32 の他の回路例を示した図である。

【図 7】 図 1 のスレーブ側送受信回路 3 の回路例を示した図である。

【図 8】 図 7 の各部の波形例を示したタイミングチャートである。

【図 9】 伝送路 4 に出力されるシリアル出力信号の例を示した図である。

【図 10】 図 1 における第 1 の受信回路 12 の他の回路例を示した図である。

【図 11】 図 10 の各部の波形例を示したタイミングチャートである。

【図 12】 本発明の第 2 の実施の形態におけるシリアル通信装置のスレーブ側送受信回路の回路例を示した図である。

【図 13】 図 12 の各部の波形例を示したタイミングチャートである。

【図 14】 デジタル信号をシリアル通信で伝送する方法の従来例を示した図である。

【図 15】 デジタル信号をシリアル通信で伝送する方法の他の従来例を示した図である。

【図 16】 デジタル信号をシリアル通信で伝送する方法の他の従来例を示した図である。

【図 17】 デジタル信号をシリアル通信で伝送する方法の他の従来例を示した図である。

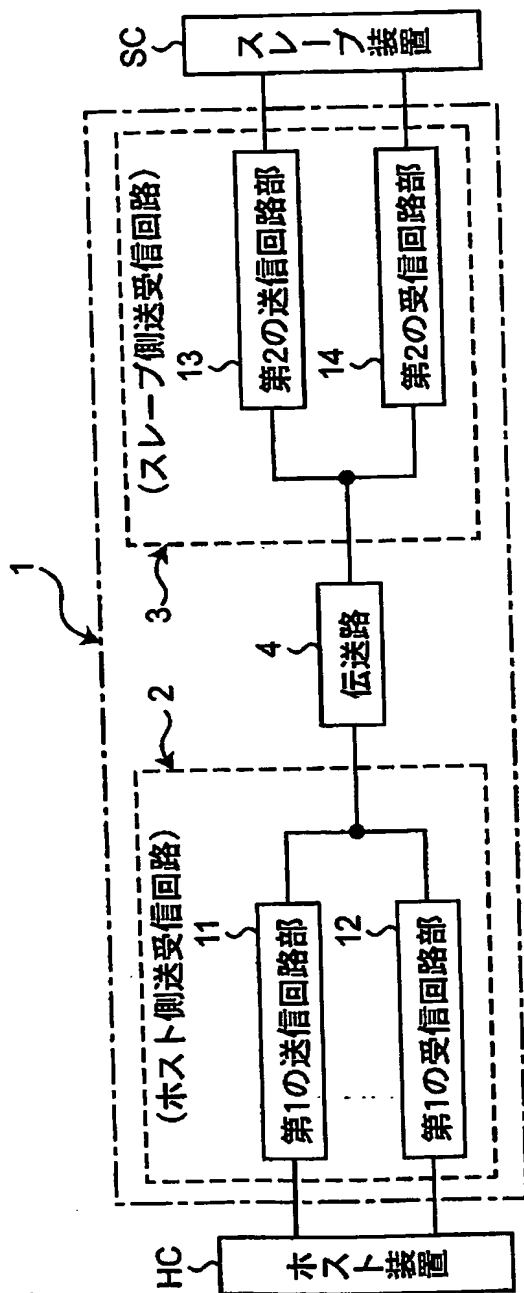
【図 18】 半二重通信を行うシリアル通信装置の従来例を示した概略のブロック図である。

【符号の説明】

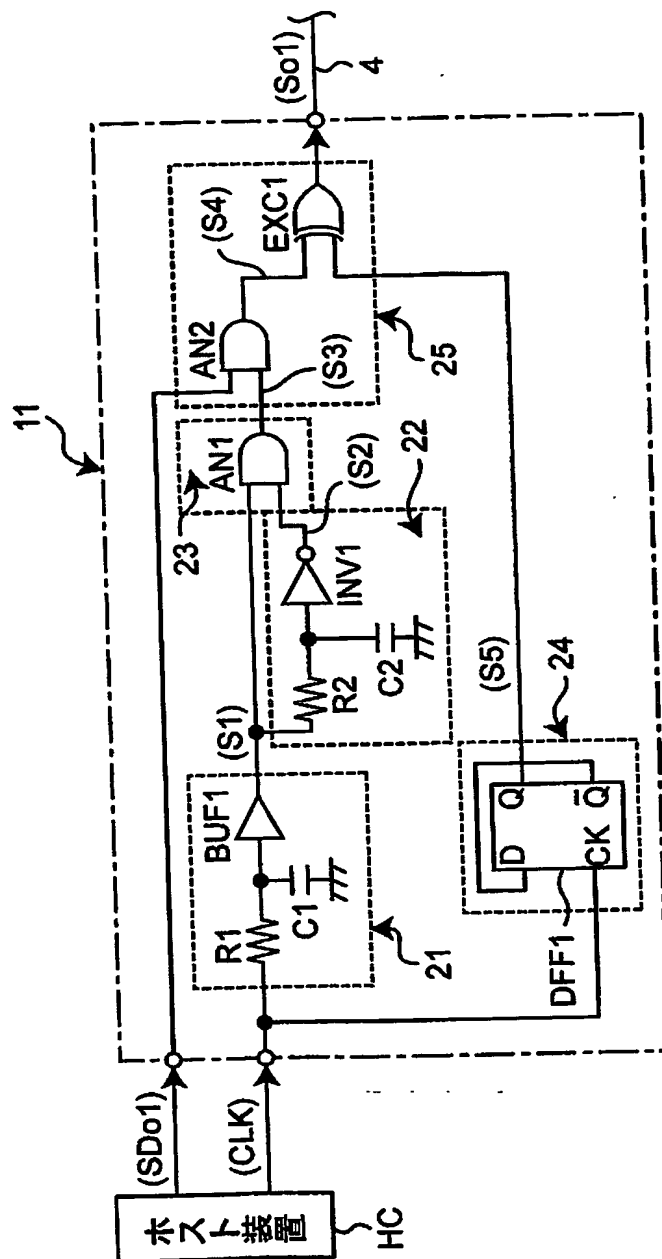
- 1 シリアル通信装置
- 2 ホスト側送受信回路
- 3, 3a スレーブ側送受信回路
- 4 伝送路
 - 11 第1の送信回路部
 - 12 第1の受信回路部
 - 13, 13a 第2の送信回路部
 - 14 第2の受信回路部
 - 21 T2遅延回路
 - 22, 51 T1遅延回路
 - 23, 52, 52a 重畳パルス生成回路
 - 24 T3信号生成回路
 - 25, 53, 53a 出力信号生成回路
 - 31, 41 T1除去回路
 - 32, 42 入力信号遅延回路
 - 33, 43 重畳パルス抽出回路
 - 34, 44 データ抽出回路
- HC ホスト装置
- SC スレーブ装置

【書類名】 図面

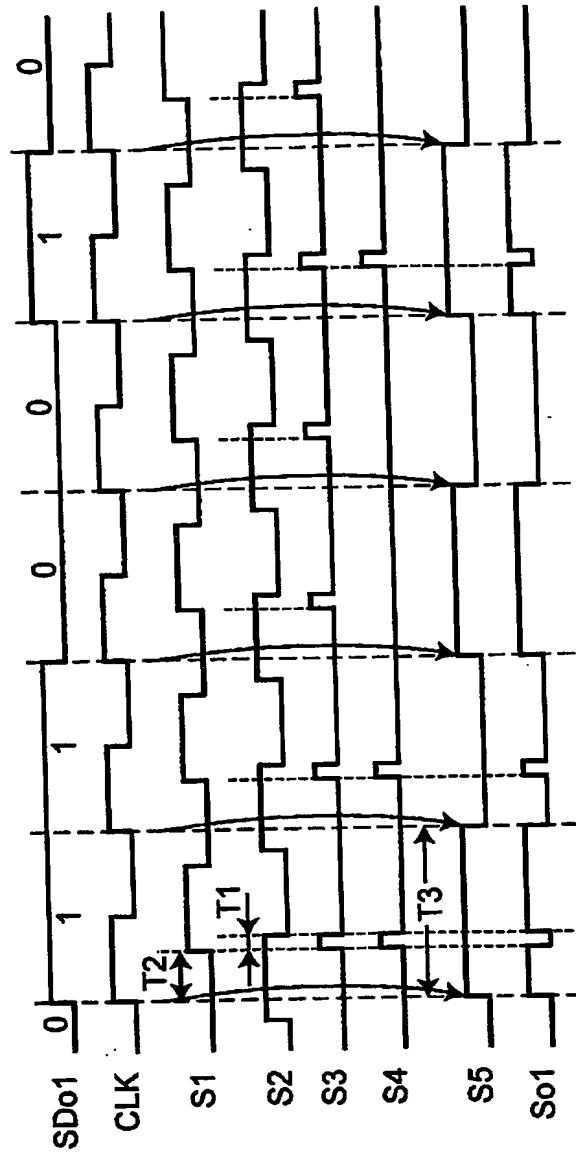
【図 1】



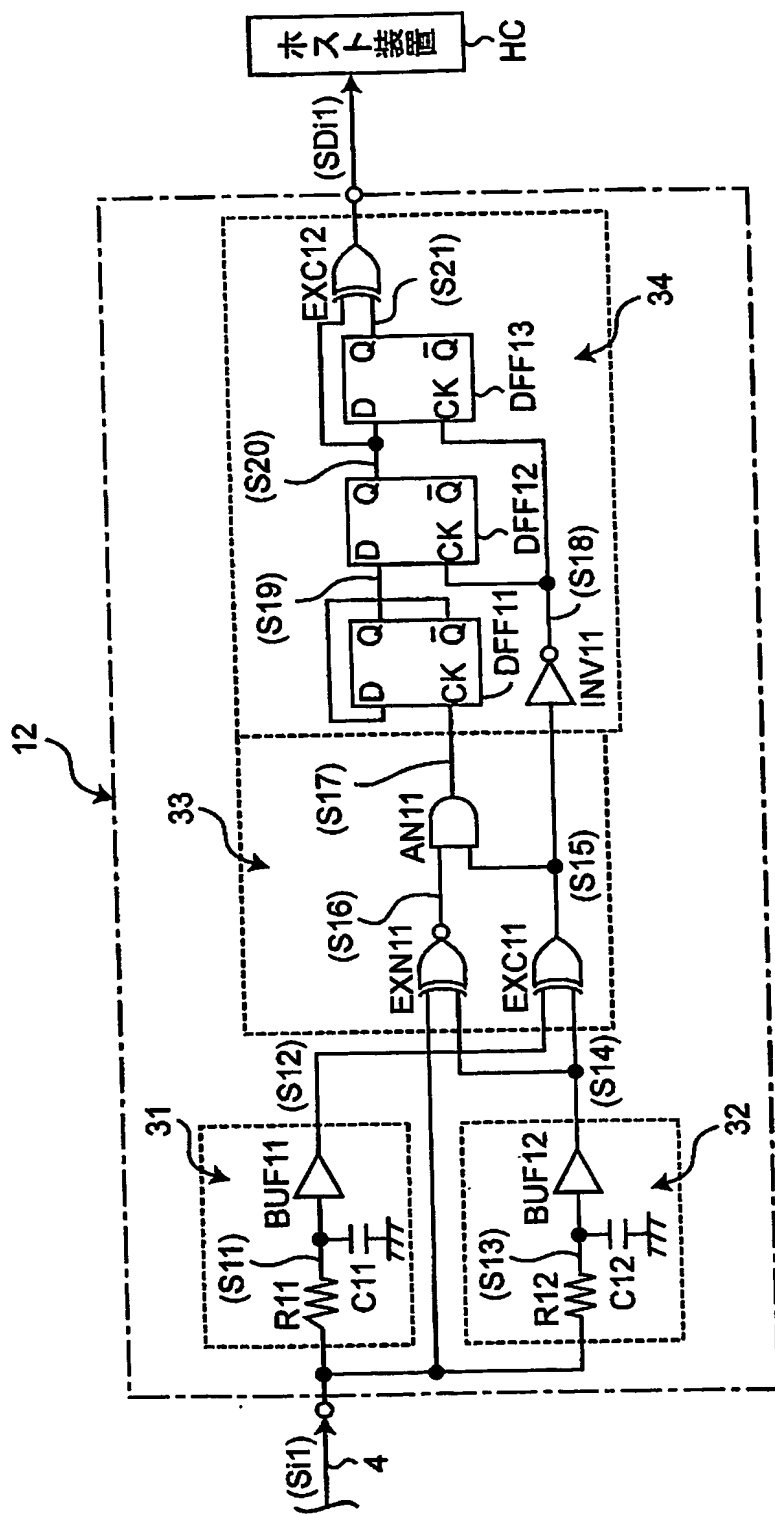
【図 2】



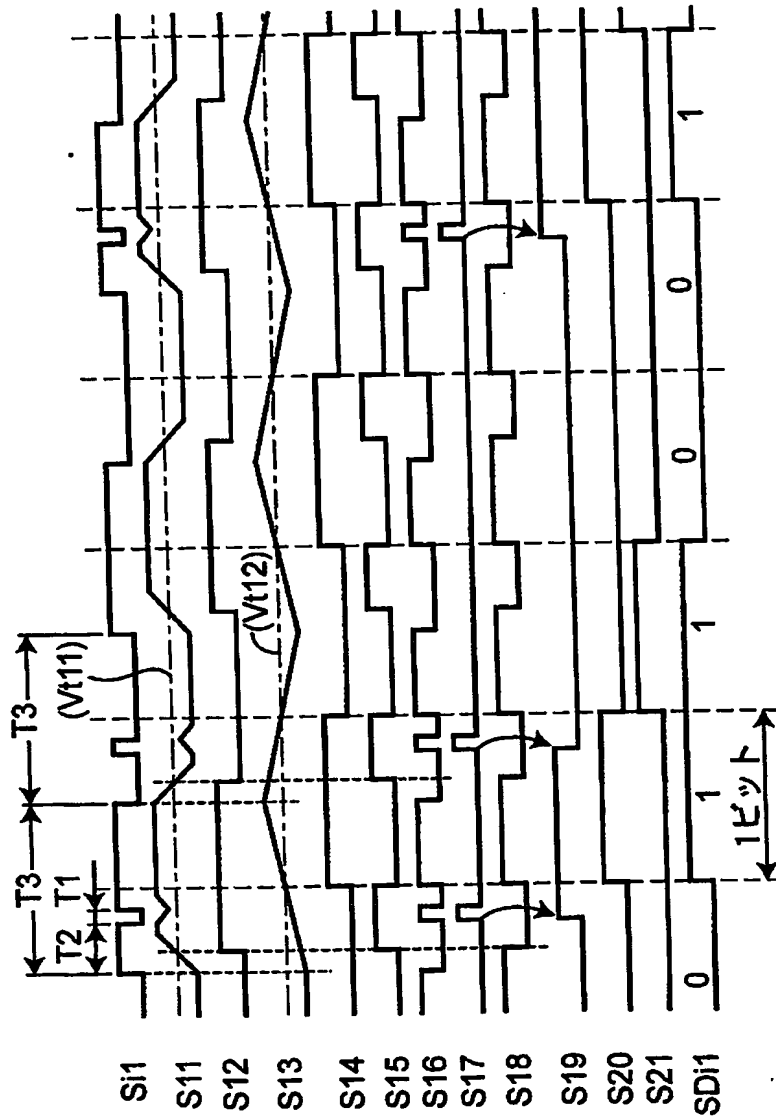
【図 3】



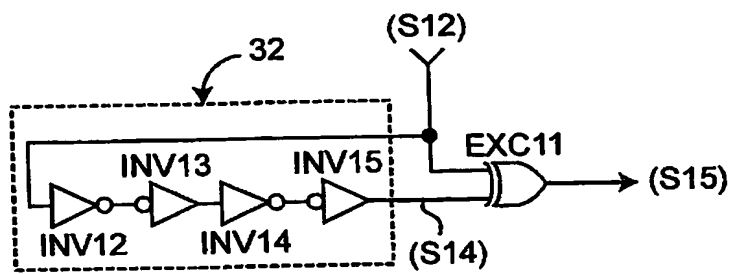
【図 4】



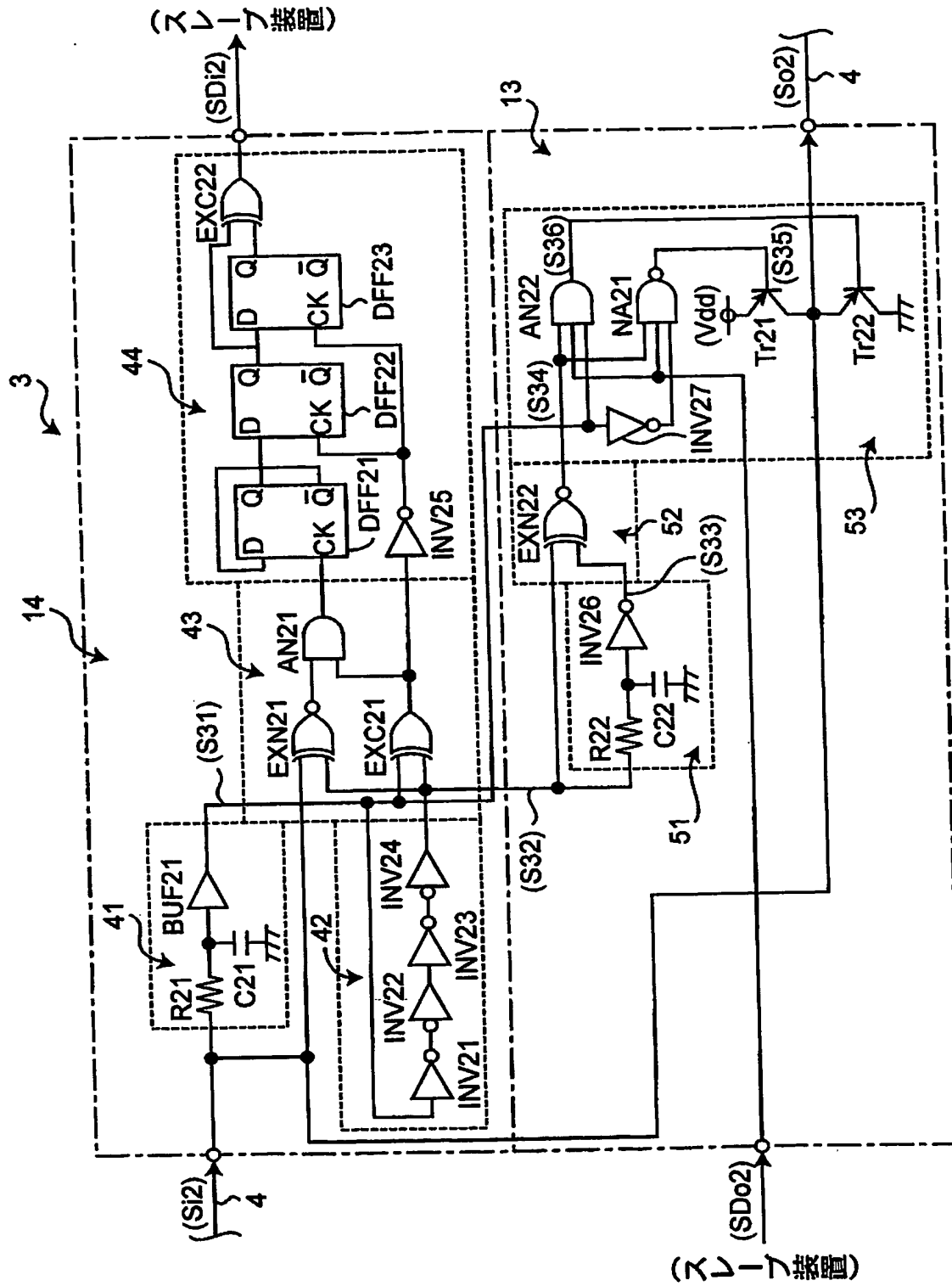
【図 5】



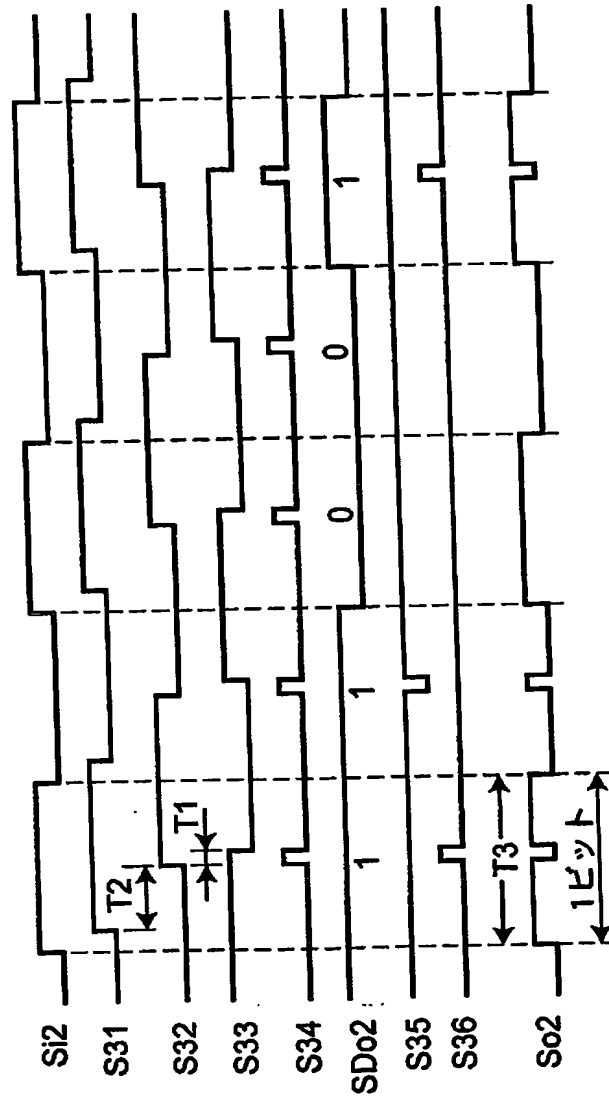
【図 6】



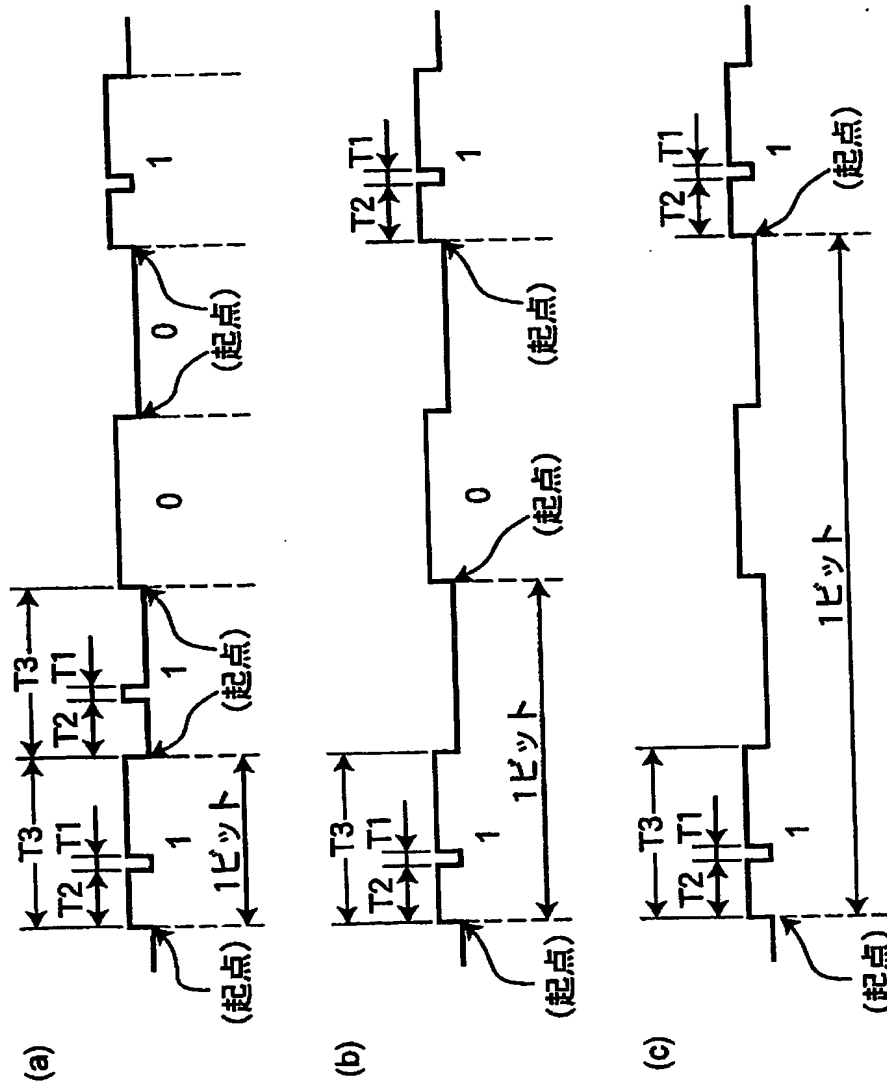
【図 7】



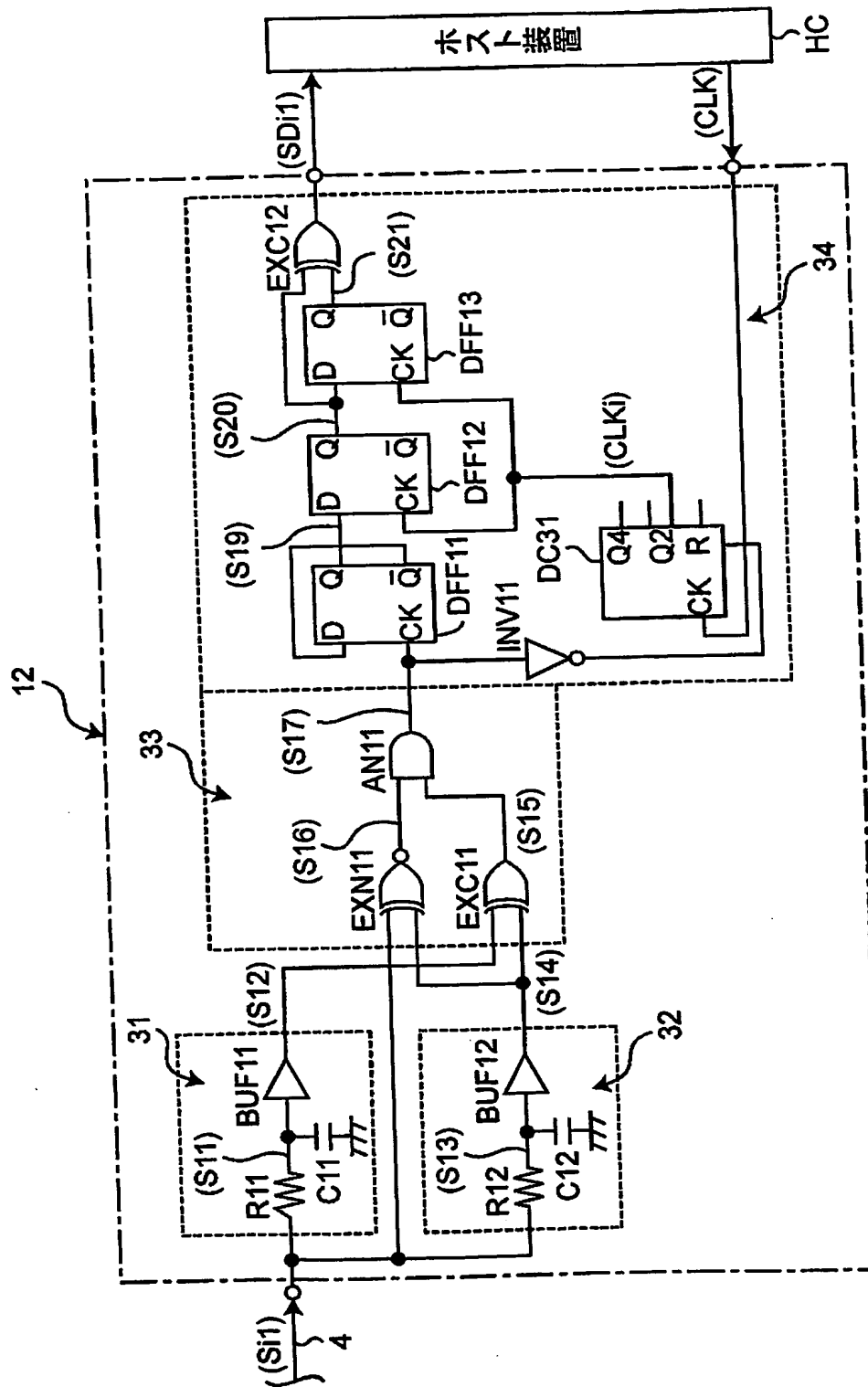
【図 8】



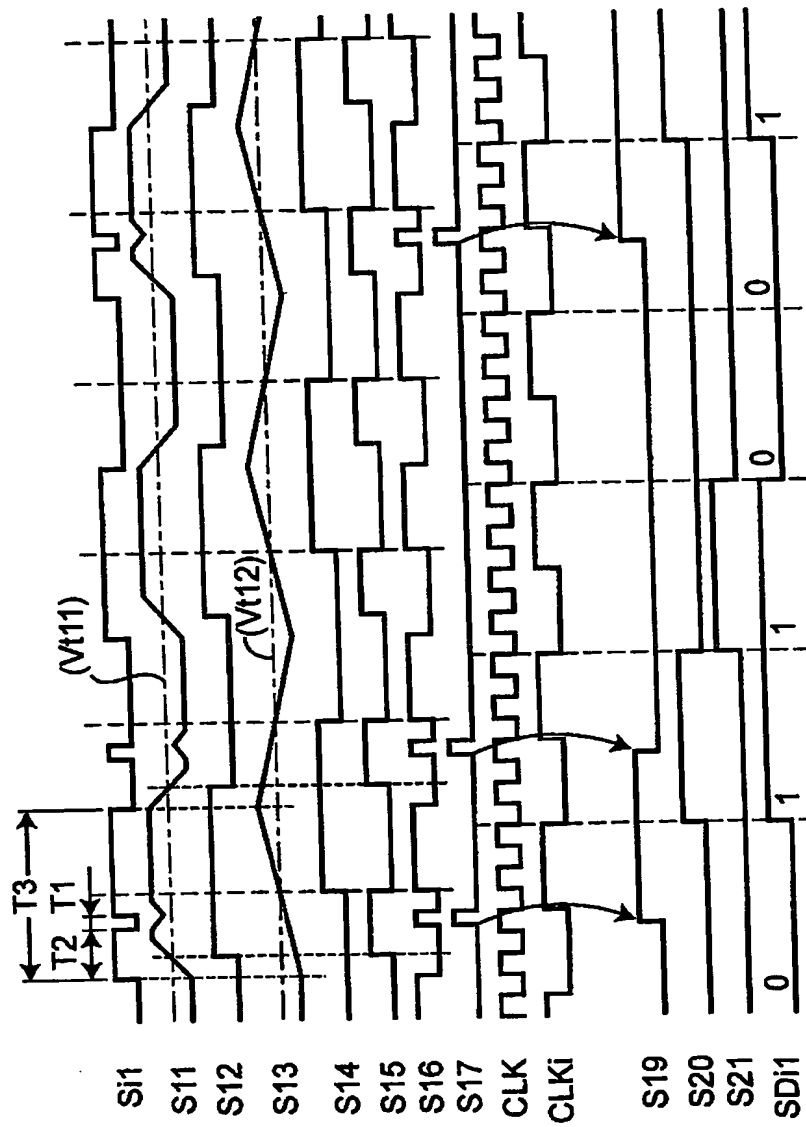
【図 9】



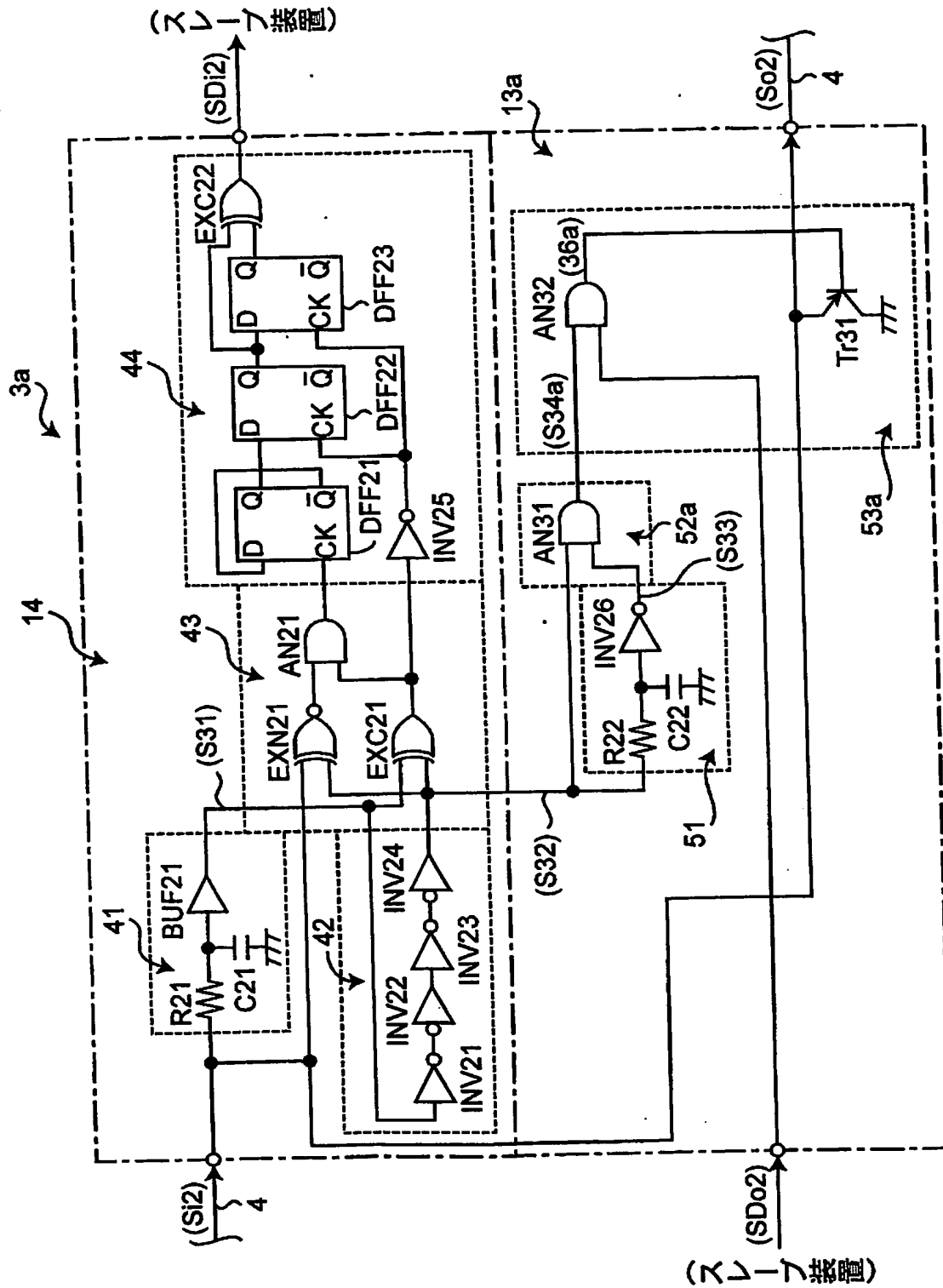
【図 10】



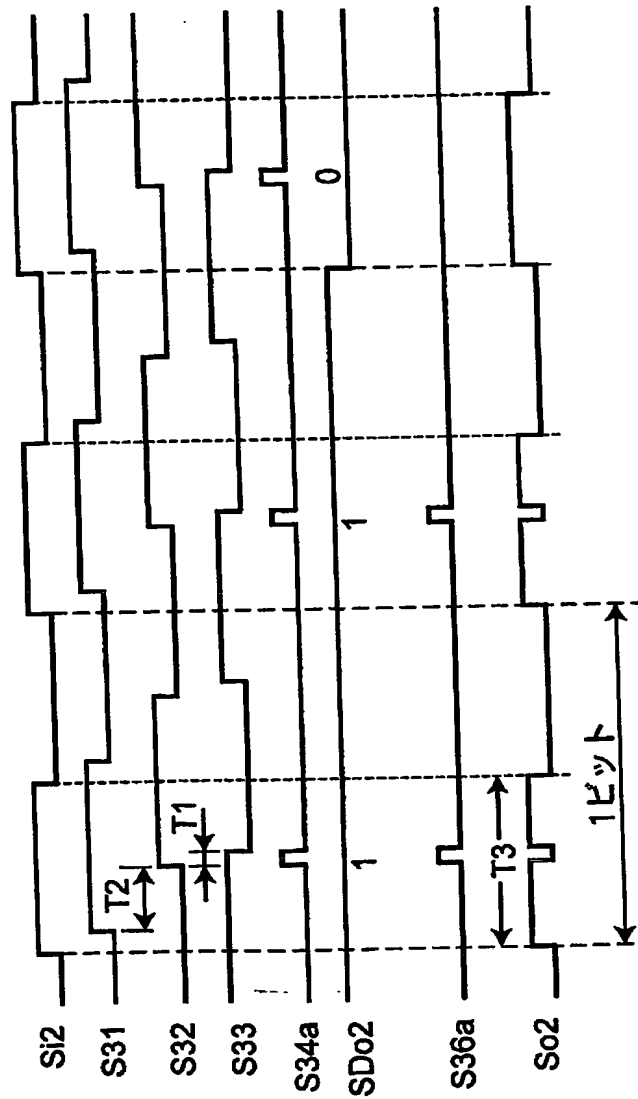
【図 11】



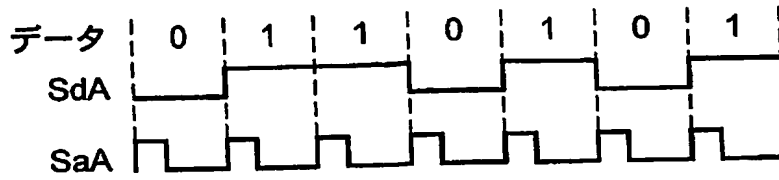
【図 12】



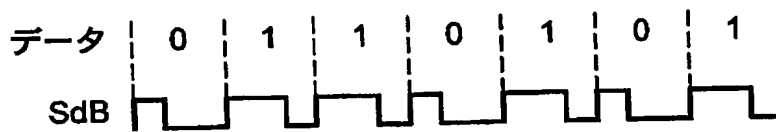
【図 13】



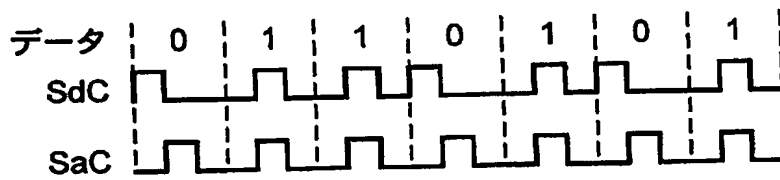
【図 14】



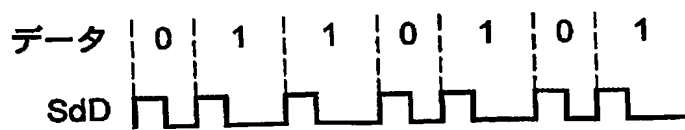
【図 15】



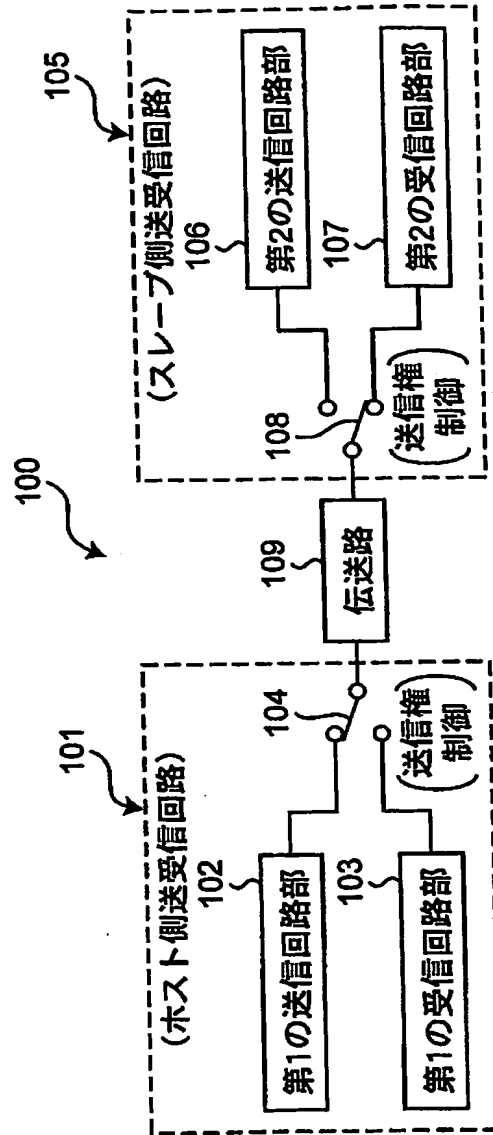
【図 16】



【図 17】



【図 18】



【書類名】 要約書

【要約】

【課題】 同期信号が不要で、ホスト側及びスレーブ側の各送受信回路を簡単な回路でそれぞれ構成することができ、スレーブ側の回路負担を少なくして、送受信の切り替え手段が不要な、小型で安価なシリアル通信装置を得る。

【解決手段】 ホスト側送受信回路 2 からスレーブ側送受信回路 3 へのデータ送信時は、第 1 の送信回路部 1 1 からスレーブ側送受信回路 3 にシリアルデータ信号を送信し、第 2 の受信回路部 1 4 は、入力された信号からデータを抽出する。スレーブ側送受信回路 3 からホスト側送受信回路 2 へのデータ送信時は、第 1 の送信回路部 1 1 からスレーブ側送受信回路 3 に無データの信号を送信し、第 2 の送信回路部 1 3 は、入力された無データ信号にパルスを重ねさせてデータを書き込み、該データを書き込んだシリアルデータ信号を、ホスト側送受信回路 2 に送信し、第 1 の受信回路部 1 2 は、入力された信号からデータを抽出する。

【選択図】 図 1

特願 2003-112930

出 願 人 履 歴 情 報

識別番号

[000006747]

1. 変更年月日

2002年 5月17日

[変更理由]

住所変更

住 所

東京都大田区中馬込1丁目3番6号

氏 名

株式会社リコー